



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0025770  
Application Number

출원 년 월 일 : 2003년 04월 23일  
Date of Application APR 23, 2003

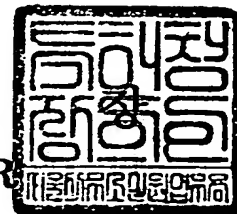
출원 인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 29 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0002  
**【제출일자】** 2003.04.23  
**【발명의 명칭】** D D L 장치의 클락 분주기 및 그 클락 분주 방법  
**【발명의 영문명칭】** Clock divider in Delay Lock Loop device and the method thereof  
**【출원인】**  
**【명칭】** 주식회사 하이닉스반도체  
**【출원인코드】** 1-1998-004569-8  
**【대리인】**  
**【성명】** 강성배  
**【대리인코드】** 9-1999-000101-3  
**【포괄위임등록번호】** 1999-024436-4  
**【발명자】**  
**【성명의 국문표기】** 정혜숙  
**【성명의 영문표기】** JUNG,Hea Suk  
**【주민등록번호】** 731212-2001210  
**【우편번호】** 110-480  
**【주소】** 서울특별시 종로구 효제동 138번지  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)  
**【수수료】**  
**【기본출원료】** 17 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 7 항 333,000 원  
**【합계】** 362,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

본 발명은 싱크로노스 메모리 장치가 POWER DOWN MODE 인 경우 DLL 장치에서의 위상 비교 횟수를 감소시켜 DLL 장치의 소모 전류를 감소시킨 DLL 장치의 클락 분주기를 제공하는 것으로, 이를 위하여 본 발명의 DLL 장치의 클락 분주기는 직렬 연결된 M 개의 분주기, 제 M-1 번째 분주기의 출력 신호와 제 M 번째 분주기의 출력 신호를 수신하여 출력신호를 출력하는 파워 다운 제어기를 구비한다. 이때, M 개의 분주기 각각은 각 분주기로 입력되는 클락신호의 주파수를  $1/2$ 로 분주하며, 파워 다운 제어기의 출력신호는 제어신호의 로직 레벨에 따라 제 1 번째 분주기에 입력된 클락신호 주파수의  $1/2^M$  또는  $1/2^{(M-1)}$ 로 분주된 주파수를 갖는 클락 신호이다.

본 발명의 클락 분주기를 갖는 DLL 장치를 사용하는 경우, 메모리 장치가 NON POWER DOWN MODE 인 경우에는 종래의 경우와 동일하게 동작하나, 메모리 장치의 전력소비가 감소하는 POWER DOWN MODE 에서는 DLL 장치에서의 위상 비교 횟수를 감소시켜 DLL 장치의 전류 손실을 감소시킬 수 있다.

## 【대표도】

도 4

## 【색인어】

DLL, 클락, 분주기, 클락인에이블신호, 메모리 장치

**【명세서】****【발명의 명칭】**

D D L 장치의 클락 분주기 및 그 클락 분주 방법{Clock divider in Delay Lock Loop device and the method thereof}

**【도면의 간단한 설명】**

도 1 은 일반적인 DLL 장치의 블록도,

도 2 는 도 1 에 도시된 클락 분주기의 회로도.

도 3 은 도 2 에 도시된 클락 분주기의 타이밍도.

도 4 는 본 발명에 따른 클락 분주기의 회로도.

도 5 는 도 4 에 도시된 클락 분주기의 타이밍도.

<도면의 주요 부분에 대한 부호의 설명>

100, 101, 102 : 클락버퍼      110 : 클락 분주기

120 : 위상 비교기      130 : 지연부

140 : DLL 신호 구동부      150 : 지연 모델

200, 210, 220, 400, 410, 420, 430 : 분주기

500 : 파워 다운 제어기

510, 520 : 전송 게이트

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <13> 본 발명은 DLL 장치에 관한 것으로, 특히 싱크로노스 메모리 장치가 저전력 소모 상태인 파워 다운 모드를 유지하는 경우 전류 소모를 감소시킬 수 있는 DLL 장치에 관한 것이다.
- <14> 일반적으로 싱크로노스 메모리 장치(이하 : 메모리 장치)에서는 메모리 장치의 동작 타이밍을 조절하고 메모리 장치의 오동작을 방지하기 위해 외부 클락 신호가 사용된다. 통상 메모리 장치의 외부로부터 인가되는 클락이 내부에서 사용되는 경우에는 시간 지연(time delay)이 발생된다. DLL 장치는 이러한 시간지연을 제어하기 위하여 메모리 장치의 내부에서 사용되는 클락과 메모리 장치의 외부로부터 인가되는 클락의 위상을 동기화시키는 회로이다.
- <15> 도 1 은 일반적인 DLL 장치의 블록도를 도시한다.
- <16> 도시된 바와같이, DLL 장치는 외부의 클락신호를 수신하는 클락버퍼(100)와, 클락버퍼(102)의 출력신호를 분주하는 클락 분주기(110)와, 클락 분주기(110)의 출력신호를 소정시간 지연시키는 지연부(130) 및 지연모델(150)과, 지연 모델(150)의 출력신호의 위상과 클락 분주기(110)의 출력신호의 위상을 비교하는 위상 비교기(120)과, 지연부(130)로부터의 출력신호를 수신하여 메모리 장치에서 사용하는 내부클럭신호를 출력하는 DLL 신호 구동부(140)을 포함한다.

- <17> 클락버퍼(101, 102)는 외부로부터 인가되는 클락 신호(CLK, /CLK)의 전위 레벨을 메모리 장치 내부에서 사용하는 전위 레벨로 전환시켜 주는 버퍼 회로이다. 일반적으로 메모리 장치의 클락버퍼는 클락인에이블신호(CKE: 무도시)에 의하여 활성화된다.
- <18> 클락 분주기(110)는 클락버퍼(102)의 출력신호(Rise\_clk)를 수신하여 분주한다. 클락 분주기(110)는 클락신호(Rise\_clk)의 주파수를  $1/2^M$  (M : 분주기의 수)로 분주하고 2 개의 출력신호(S2, S3)를 출력한다. 출력신호(S2)는 출력신호(S3)의 반전된 신호이다. 클락 분주기(110)의 출력신호(S2)는 제 3 지연라인과 지연모델 (150)을 통하여 소정 시간 지연된 후 위상 비교기(120)에 인가된다. 참고로, 지연모델(150)은 출력신호(S3)와 출력신호(feedback)의 위상차를 보상하는 더미 지연부(dummy delay part)이다.
- <19> 위상 비교기(120)는 클락 분주기의 출력신호(S3)와 지연모델(150)의 출력신호(feedback)를 비교하여 2 출력신호간의 시간차(time difference)를 감소시켜 나간다. 즉, 클락 분주기(110)의 출력신호(S3)의 라이징 에지(rising edge)와 지연모델(150)의 출력신호 (feedback)의 라이징 에지가 동기화되어 위상차가 0이 될때까지 비교한다.
- <20> 위상 비교기(120)의 출력신호는 쉬프트 제어기로 인가된다. 위상차가 0인 경우, 쉬프트 제어기는 쉬프트 레지스터가 현재 상태를 유지하도록 DLL\_lockb 신호를 출력한다. 반면, 위상차가 있는 경우, 쉬프트 레지스터를 제어하여 제 3 지연라인의 지연시간을 조절한다. 쉬프트 제어기의 출력신호인 SR은 쉬프트 레지스터를 오른쪽으로 이동시키고 다른 출력신호인 SL은 쉬프트 레지스터를 왼쪽으로 이동시킨다. 제 1 및 제 2 지연라인은 쉬프트 제어기의 제어에 의하여 클락버퍼(101, 102)의 출력신호(Rise\_clk, Fall\_clk)를 소정 시간 지연시켜 출력신호(irclk: input rising clock; ifclk: input

falling clock)를 출력한다. 제 1 내지 제 3 지연라인은 지터(jitter)를 줄이기 위하여 지연시간(delay time)이 매우 짧은 논리 회로로 구성된다.

<21> 제 1 및 제 2 DLL 신호 구동부(140)는 메모리 장치의 내부에서 사용되는 DLL 클락 신호를 공급하는 버퍼이다. 따라서, 제 1 및 제 2 DLL 신호 구동부(140)의 출력신호(rclk\_dll: rising clock\_dll; fclk: falling clock\_dll)는 내부 클락 신호(internal clock signal)이다.

<22> DLL 장치는 메모리 장치의 외부로부터 인가되는 클락 신호(CLK)와 메모리 장치의 내부에서 사용되는 클락신호간의 시간차를 보상한다. 따라서, DLL 장치에 의하여, 메모리 장치의 내부에서 동작하는 클락신호인 제 1 및 제 2 DLL 신호 구동부의 출력신호(rclk: rising clock\_dll; fclk: falling clock\_dll)는 외부 클락(CLK)과 동기된다.

<23> 도 2 는 도 1 에 도시된 클락 분주기의 회로도도를 도시한다.

<24> 클락 분주기(110)는 제 1 내지 제 3 분주기(200, 210, 220)를 포함하며, 제 1 내지 제 3 분주기는 직렬로 연결되어 있다. 즉, 제 1 분주기(200)의 출력 신호는 제 2 분주기(210)의 입력단에 인가되고 제 2 분주기의 출력 신호는 제 3 분주기(220)의 입력단에 인가된다. 도 2 에서, 신호 S1 은 도 1 의 신호 Rise\_clk 에 해당한다. 신호 S2 는 신호 S3 의 반전된 신호이다.

<25> 제 1 분주기는 클락 입력 신호(S1)의 주파수를 1/2로 분주한 클락신호(A)를 출력한다. 제 2 분주기는 제 1 분주기의 출력신호(A)의 주파수를 1/2로 분주한 클

락신호(B)를 출력한다. 따라서, 제 2 분주기의 출력신호(B)의 주파수는 클락입력 신호(S1)의 주파수의 1/4이다. 제 3 분주기는 제 2 분주기의 출력신호(B)의 주파수를 1/2로 분주한 클락신호(C)를 출력한다. 따라서, 제 3 분주기의 출력신호(C)의 주파수는 클락입력 신호(S1)의 주파수의 1/8이다. 이러한 클락 분주기를 1/8 클락 분주기라고 한다. 도 3 에 도시된 바와같이, 제 1 내지 제 3 분주기의 출력신호의 듀티비(Duty rate)들은 동일하지 않지만, 필요한 경우 듀티비의 변형은 가능하다.

<26> 도 2 의 각 분주기 회로는 NAND 게이트들로 구성되었으나, 당업자는 입력 클락 신호를 분주하는 회로를 다양한 방법으로 구현할 수 있을 것이다.

<27> 도 3 은 도 2 에 도시된 클락 분주기의 타이밍도를 도시한다.

<28> 도시된 바와같이, 제 1 분주기에 인가되는 클락신호(S1)의 주기는 tCK 이다. 제 1 분주기의 출력 신호(A)의 주파수는 클락신호(S1)의 1/2이며, "하이" 펄스신호의 폭은 클락신호(S1)의 주기와 같다. 또한, 1/8클락 분주기는 "로우" 펄스신호의 폭이 tCK 인 출력신호 (S3)를 출력한다. 도 3 에서 알 수 있는 바와같이, 종래의 클락 분주기의 출력신호(S2, S3)는 외부로부터 인가되는 클락인에이블신호(CKE)에 의하여 제어되지 않기 때문에 메모리 장치의 상태와 무관하게 동작한다. 따라서, 메모리 장치의 소비전력이 감소하는 POWER DOWN MODE 인 경우에도 클락 분주기의 출력파형은 메모리 장치가 NON POWER DOWN MODE 인 경우와 동일하다. 이때문에, DLL 장치는 메모리 장치가 POWER DOWN MODE인 경우에도 NON POWER DOWN MODE 인 경우와 동일한 양의 전류를 소모한다.

<29> 일반적으로, 메모리 장치가 POWER DOWN MODE 인 경우 메모리 장치의 동작이 작아지고 전원도 안정화된다. 따라서, DLL 장치에서 위상을 비교하는 횟수를 NON POWER DOWN MODE 인 경우보다 줄여도 큰 문제가 되지 않는다.



**【발명이 이루고자 하는 기술적 과제】**

<30> 이상에서 알수 있는 바와같이, 종래 기술의 경우 메모리 장치가 POWER DOWN MODE 인 경우에도 메모리 장치의 내부에서 사용될 내부 클럭을 발생시키는 DLL 장치는 메모리 장치가 NON POWER DOWN MODE 인 경우와 동일한 방식으로 클럭 신호를 발생시키므로 불필요한 전류 소모를 초래하고 있다.

<31> 본 발명은 이와같은 문제점을 해결하기 위하여 메모리 장치가 POWER DOWN MODE 인 경우 DLL 회로에서의 위상 비교 횟수를 감소시켜 전류 소모를 줄일 수 있는 DLL 회로의 클럭 분주기를 제공하고자 한다.

**【발명의 구성 및 작용】**

<32> 이를 위하여, 본 발명은 메모리 장치가 NON POWER DOWN MODE 인 경우에는 외부 입력 클럭을  $1/2^{(M-1)}$  ( $M$  : 분주기의 수) 로 분주하고 메모리 장치가 POWER DOWN MODE 인 경우에는 외부 입력 클럭을  $1/2^M$  으로 분주하여 위상 비교기에서의 위상 비교 횟수를 감소시킨 DLL 회로의 클럭 분주기를 제공한다.

<33> 본 발명의 DLL 회로의 클럭 분주기는 직렬 연결된  $M$  개의 분주기, 제  $M-1$  번째 분주기의 출력 신호와 제  $M$  번째 분주기의 출력 신호를 수신하여 선택적으로 출력하는 파워 다운 제어기를 구비하며, 상기  $M$  개의 분주기 각각은 각 분주기로 입력되는 클럭신호의 주파수를  $1/2$ 로 분주하며, 상기 파워 다운 제어기의 출력신호는 제어신호의 로직 레벨에 따라 제 1 번째 분주기에 입력된 클럭신호 주파수의  $1/2^M$  또는  $1/2^{(M-1)}$  로 분주된 주파수를 갖는다.

- <34> 본 발명에 있어서, 제어신호의 로직 레벨이 제 1 상태(하이)인 경우 상기 파워 다운 제어기의 출력신호는 제 M-1 번째 분주기의 출력이며, 상기 제어신호의 로직 레벨이 제 2 상태(로우)인 경우 상기 파워 다운 제어기의 출력신호는 제 M 번째 분주기의 출력이다.
- <35> 본 발명에 있어서, 상기 제 1 분주기의 출력신호의 하이레벨 상태의 펄스폭은 상기 제 1 분주기의 입력신호의 주기와 동일하며, 제 2 내지 제 M 번째 분주기의 로우레벨 상태의 펄스폭은 상기 제 1 분주기의 입력신호의 주기와 동일하다.
- <36> 본 발명에 따른 외부입력클락과 내부입력클락의 동기화를 위한 싱크로노스 메모리 장치의 DLL 회로의 클락 분주 방법은, 직렬로 연결되어 입력되는 클락신호의 주파수를 1/2로 각각 분주하는 M 개의 분주기중의 제 M-1 번째 분주기의 출력 신호와 제 M 번째 분주기의 출력 신호를 선택적으로 출력하는 방법을 제공한다.
- <37> 이하, 본 발명을 그 바람직한 실시예가 도시되어 있는 첨부 도면에 의거하여 더욱 상세히 설명하기로 한다.
- <38> 도 4는 본 발명에 따른 DLL 회로의 클락 분주기의 일 실시예를 도시한다.
- <39> 도시된 바와같이, 본 발명에 따른 DLL 회로의 클락 분주기는 제 1 내지 제 4 분주기(400, 410, 420, 430)와 파워 다운 제어기(500)를 구비한다.
- <40> 제 1 내지 제 4 분주기의 각 회로는 NAND 게이트를 이용하여 동일하게 구현하였다. 참고로, 당업자는 도 4 에 도시된 제 1 내지 제 4 분주기의 회로를 다양하게 변형할 수 있다.

- <41> 도 4 와 도 5에서 알 수 있는 바와같이, 제 1 분주기(400)는 입력신호(S1)를 분주하여 주파수가 입력신호의 1/2인 클락신호(A)를 출력한다. 즉, 제 1 분주기의 출력클락신호의 주기는 제 1 분주기의 입력클락신호의 2 배이다. 따라서, 제 1 분주기의 출력신호의 하イレ벨 상태의 펄스폭은 제 1 분주기의 입력클락신호의 주기와 동일하다.
- <42> 제 2 분주기(410)는 입력클락신호(A)를 분주하여 주파수가 입력클락신호의 1/2인 클락신호(B)를 출력한다. 즉, 제 2 분주기의 출력클락신호의 주기는 제 2 분주기의 입력클락신호의 2 배이다. 도 4 와 도 5에서 알 수 있는 바와같이, 제 2 분주기의 출력신호의 로우레벨 상태의 펄스폭은 제 1 분주기의 입력클락신호의 주기와 동일하다.
- <43> 제 3 분주기(420)는 입력클락신호(B)를 분주하여 주파수가 입력클락신호의 1/2인 클락신호(C)를 출력한다. 즉, 제 3 분주기의 출력클락신호의 주기는 제 3 분주기의 입력클락신호의 2 배이다. 도 4 와 도 5에서 알 수 있는 바와같이, 제 3 분주기의 출력신호의 로우레벨 상태의 펄스폭은 제 1 분주기의 입력클락신호의 주기와 동일하다.
- <44> 제 4 분주기(430)는 입력클락신호(C)를 분주하여 주파수가 입력클락신호의 1/2인 클락신호(D)를 출력한다. 즉, 제 4 분주기의 출력클락신호의 주기는 제 4 분주기의 입력클락신호의 2 배이다. 도 4 와 도 5에서 알 수 있는 바와같이, 제 4 분주기의 출력신호의 로우레벨 상태의 펄스폭은 제 1 분주기의 입력클락신호의 주기와 동일하다.
- <45> 파워 다운 제어기(500)는 제 3 및 제 4 분주기(420, 430)의 출력클락신호를 수신하며 제어신호인 클락인에이블신호(CKE)의 로직 레벨에 따라 제 3 및 제 4 분주기의 출력클락신호중 하나의 신호를 선택하여 출력한다.

<46> 파워 다운 제어기의 일 실시예는 도 4 에 도시되어 있다. 도시된 바와같이, 파워 다운 제어기는 2 개의 전송 게이트(transmission gate)(510, 520)로 구성되어 있다. 하나의 전송 게이트는 병렬연결된 PMOS 와 NMOS 트랜지스터로 구성된다. 전송 게이트의 턴온/오프 동작은 클락인에이블신호(CKE)에 의하여 제어된다. 하나의 전송 게이트가 턴온 상태인 경우 다른 전송 게이트는 턴오프 상태가 된다. 도 4 에서 알 수 있는 바와같이, 제 3 분주기의 출력클락신호는 전송 게이트(510)로 인가되며, 제 4 분주기의 출력클락신호는 전송 게이트(520)로 인가된다. 제어신호인 클락인에이블신호(CKE)가 하이레벨인 경우, 전송 게이트(510)가 턴온되고, 클락인에이블신호(CKE)가 로우레벨인 경우, 전송 게이트(520)가 턴온된다. 따라서, 클락인에이블신호(CKE)가 하이 레벨인 경우, 파워 다운 제어기의 출력신호(S3)의 파형은 제 3 분주기의 출력클락신호(C)의 파형과 동일하다. 제어신호인 클락인에이블신호(CKE)가 로우 레벨인 경우, 파워 다운 제어기의 출력신호(S3)의 파형은 제 4 분주기의 출력클락신호(D)의 파형과 동일하다.

<47> 본 발명의 일 실시예는 4 개의 분주기와 파워 다운 제어기로 구성되었지만, 필요한 경우에는 분주기의 갯수를 5 개 이상 증가시킬 수도 있으며, 필요에 따라서는 2 개 또는 3 개의 분주기를 사용하는 경우에도 응용될 수 있을 것이다.

#### 【발명의 효과】

<48> 전술된 바와 같이, 본 발명에 따른 DLL 회로의 클락 분주기는 클락인에이블신호의 제어에 의하여 제 3 분주기의 출력클락신호(C)와 제 4 분주기의 출력클락신호(D)중의 하나를 선택적으로 출력할 수 있다. 따라서, 본 발명의 클락 분주기를 갖는 DLL 장치를 사용하는 경우, 메모리 장치가 NON POWER DOWN MODE 인 경우에는 종래의 경우와 동일하게 제 3 분주기의 출력신호를 선택하지만, 메모리 장치의 전력소비가 감소하는 POWER

DOWN MODE 에서는 제 4 분주기의 출력신호를 선택함으로써 DLL 장치의 전류 손실을 감소시킬 수 있다.

**【특허청구범위】****【청구항 1】**

외부입력클락과 내부입력클락의 동기화를 위한 싱크로노스 메모리 장치의 DLL 회로의 클락 분주기에 있어서,

직렬 연결된 M (M 는 적어도 2 보다 큰 정수)개의 분주기,

제 M-1 번째 분주기의 출력 신호와 제 M 번째 분주기의 출력 신호를 수신하여 선택적으로 출력하는 파워 다운 제어기를 구비하며,

상기 M 개의 분주기 각각은 각 분주기로 입력되는 클락신호의 주파수를 1/2로 분주함을 특징으로하는 DLL 회로의 클락 분주기.

**【청구항 2】**

제 1 항에 있어서, 상기 파워 다운 제어기의 출력신호는 제어신호의 로직 레벨에 따라 제 1 번째 분주기에 입력된 클락신호 주파수의  $1/2^M$  또는  $1/2^{(M-1)}$  로 분주된 주파수를 갖는 클락 신호인 것을 특징으로하는 DLL 회로의 클락 분주기.

**【청구항 3】**

제 2 항에 있어서, 상기 제어신호의 로직 레벨이 제 1 상태(하이)인 경우 상기 파워 다운 제어기의 출력신호는 제 M-1 번째 분주기의 출력이며, 상기 제어신호의 로직 레벨이 제 2 상태(로우)인 경우 상기 파워 다운 제어기의 출력신호는 제 M 번째 분주기의 출력인 것을 특징으로하는 DLL 회로의 클락 분주기.

**【청구항 4】**

제 3 항에 있어서, 상기 제어신호는 싱크로노스 메모리 장치에 사용되는 클락인에 이블신호인 것을 특징으로하는 DLL 회로의 클락 분주기.

**【청구항 5】**

제1항 내지 제 4 항중 어느 한 항에 있어서, 상기 제 1 분주기의 출력신호의 하이 레벨 상태의 펄스폭은 상기 제 1 분주기의 입력신호의 주기와 동일하며, 제 2 내지 제 M 번째 분주기의 로우레벨 상태의 펄스폭은 상기 제 1 분주기의 입력신호의 주기와 동일한 것을 특징으로하는 DLL 회로의 클락 분주기.

**【청구항 6】**

제 6항에 있어서, 상기 파워 다운 제어기는 2 개의 전송 게이트로 구성되며, 상기 2 개의 전송 게이트는 상기 제어신호에 의하여 선택적으로 턴온/오프되는 것을 특징으로하는 DLL 회로의 클락 분주기.

**【청구항 7】**

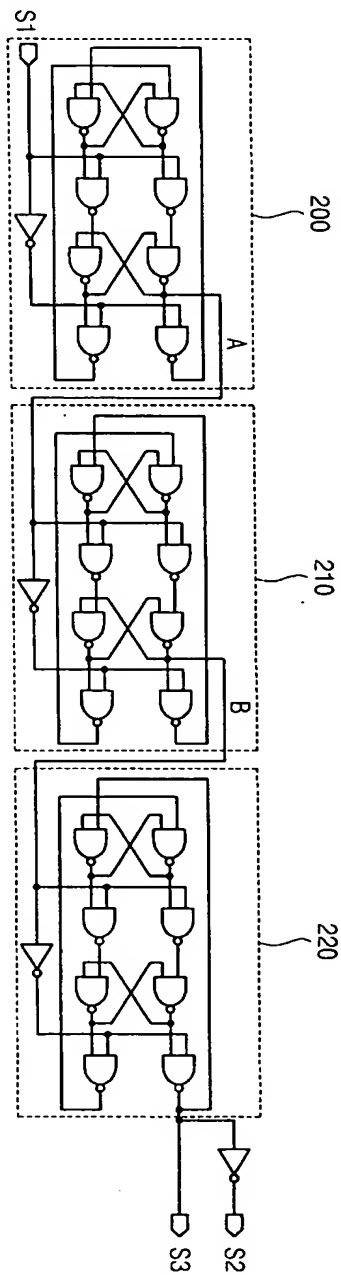
외부입력클락과 내부입력클락의 동기화를 위한 싱크로노스 메모리 장치의 DLL 회로의 클락 분주 방법에 있어서,

직렬로 연결되어 입력되는 클락신호의 주파수를 1/2로 각각 분주하는 M 개의 분주기중의 제 M-1 번째 분주기의 출력 신호와 제 M 번째 분주기의 출력 신호를 선택적으로 출력하는 클락 분주 방법.

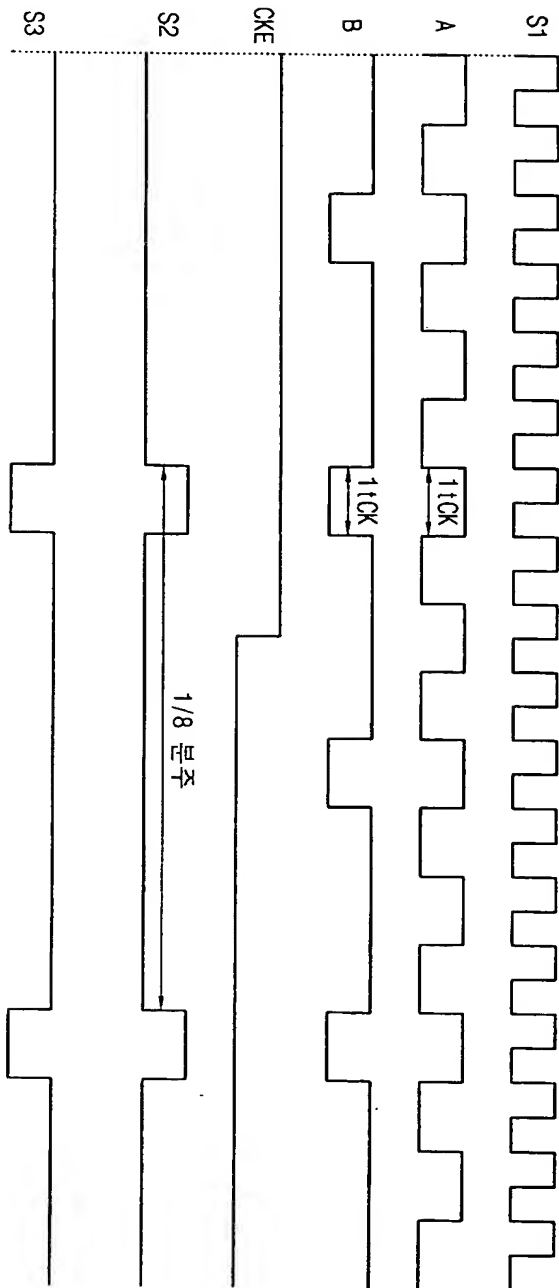




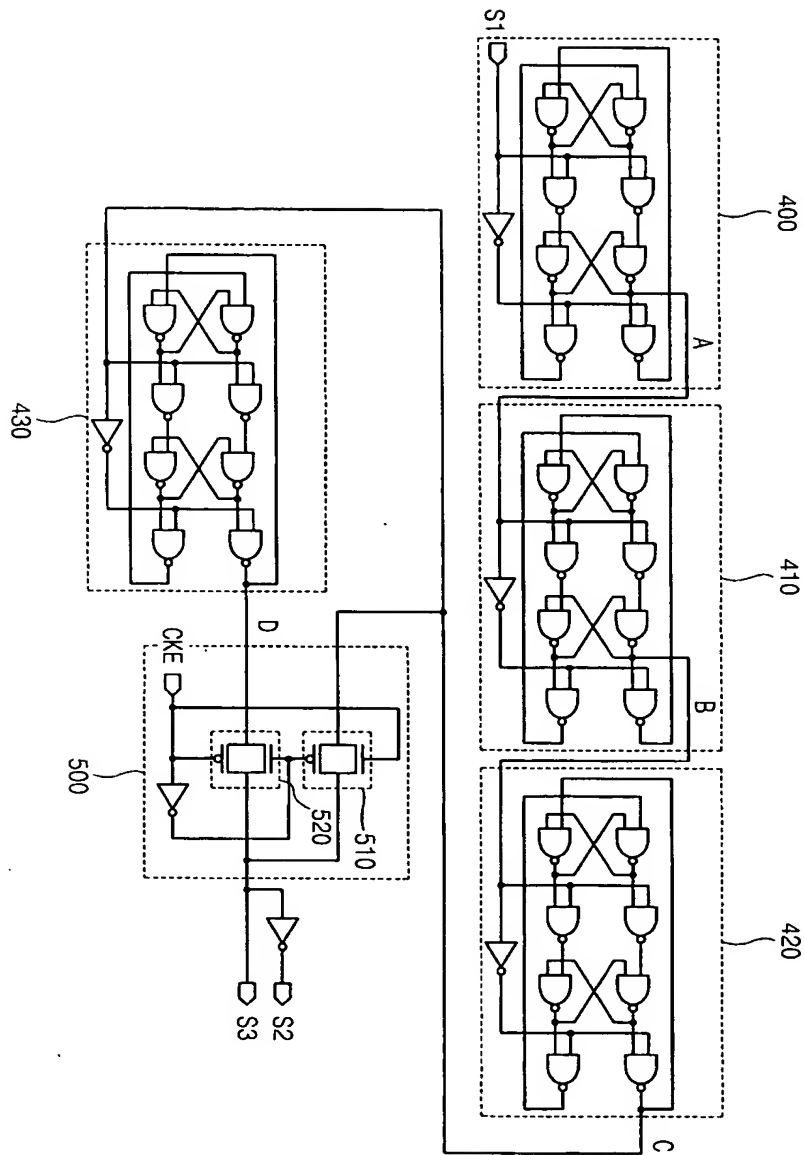
【도 2】



【도 3】



【도 4】



【도 5】

